

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-168208
(43)Date of publication of application : 04.07.1995

(51)Int.CI.

G02F 1/136
G02F 1/1345
H01L 29/786

(21)Application number : 06-234653
(22)Date of filing : 29.09.1994

(71)Applicant : CITIZEN WATCH CO LTD
(72)Inventor : KIKUCHI MASAMI
HOSHINO KOICHI

(30)Priority

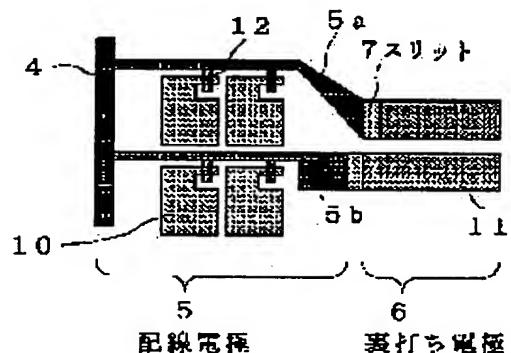
Priority number : 05 57392 Priority date : 30.09.1993 Priority country : JP

(54) ACTIVE MATRIX SYSTEM LIQUID CRYSTAL DISPLAY

(57)Abstract:

PURPOSE: To obtain a liquid crystal display which is free from unequal display generated by a difference in voltages by distances from input electrodes and unequal display by a difference in capacitances between respective wiring electrodes and has excellent display quality.

CONSTITUTION: Plural pixel electrodes 10 and plural wiring electrodes 5 connected to plural switching elements 12 for driving these pixel electrodes on a substrate are connected to input electrodes 11 to which driving signals are supplied via coupling capacitances. The values of the respective coupling capacitances of the active matrix type liquid crystal display are nearly the same values.



LEGAL STATUS

[Date of request for examination] 24.05.2001

[Date of sending the examiner's decision of rejection] 13.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication
No. 7-168208/1995 (Tokukaihei 7-168208)

(A) Relevance to claims

The following is a translation of passages related to claims 1, 6, 7, and 12 of the present invention.

(B) A translation of the relevant passages

[0014]

[Effects] The active matrix LCD display of the present invention has a slit or dummy area for the purpose of averaging the coupling capacitance value provided between an input electrode and a wiring electrode.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-168208

(43)公開日 平成7年(1995)7月4日

(51)Int.Cl.
G 0 2 F 1/136
1/1345
H 0 1 L 29/786

識別記号 5 1 0

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 A

審査請求 未請求 請求項の数 4 OL (全 6 頁)

(21)出願番号 特願平6-234653

(22)出願日 平成6年(1994)9月29日

(31)優先権主張番号 実願平5-57392

(32)優先日 平5(1993)9月30日

(33)優先権主張国 日本 (JP)

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 菊池 正美

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

(72)発明者 星野 浩一

埼玉県所沢市大字下富字武野840番地 シ

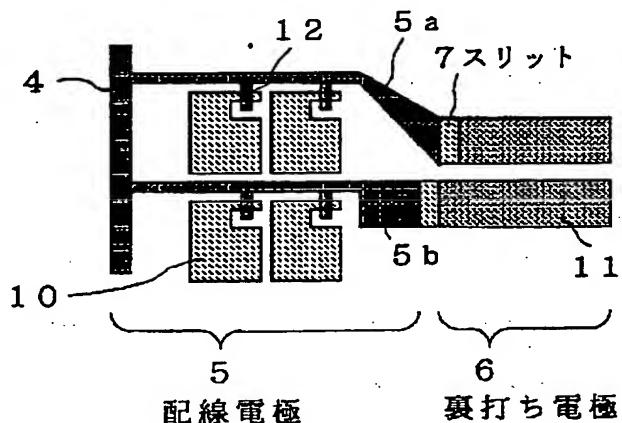
チズン時計株式会社技術研究所内

(54)【発明の名称】 アクティブマトリックス方式液晶表示体

(57)【要約】

【構成】 基板1上に複数の画素電極10と画素電極を駆動するための複数のスイッチング素子12に接続する複数の配線電極5が、結合容量を介して駆動信号が供給される入力電極11に接続する、アクティブマトリックス方式液晶表示体において、それぞれの結合容量の値がほぼ同じ値であること特徴とするアクティブマトリックス方式液晶表示体。

【効果】 入力電極からの距離による電圧差によって生ずる表示ムラも、各配線電極間の容量差による表示ムラがない、非常に良好な表示品質を有する液晶表示体を得ることができる。



(2)

【特許請求の範囲】

【請求項1】 基板上に設ける複数の画素電極と、画素電極を駆動するための複数のスイッチング素子に接続する複数の配線電極と、結合容量を介して駆動信号をスイッチング素子に供給する入力電極とを備え、結合容量はそれぞれの結合容量の値がほぼ同じ値であること特徴とするアクティブマトリックス方式液晶表示体。

【請求項2】 基板上に設ける複数の画素電極と、画素電極を駆動するための複数のスイッチング素子に接続する複数の配線電極と、結合容量を介して駆動信号をスイッチング素子に供給する入力電極とを備え、入力電極はチップオングラス構造により液晶表示体を駆動する半導体チップの端子に直接接続することを特徴とするアクティブマトリックス方式液晶表示体。

【請求項3】 基板上に設ける複数の画素電極と、画素電極を駆動するための複数のスイッチング素子に接続する複数の配線電極と、結合容量を介して駆動信号をスイッチング素子に供給する入力電極とを備え、結合容量は第1の電極と第2の電極との間に設け、第1の電極あるいは第2の電極に設けるスリットにより制御することにより、結合容量の面積をほぼ同じ値にすることを特徴とするアクティブマトリックス方式液晶表示体。

【請求項4】 基板上に設ける複数の画素電極と、画素電極を駆動するための複数のスイッチング素子に接続する複数の配線電極と、結合容量を介して駆動信号をスイッチング素子に供給する入力電極とを備え、配線電極にスイッチング素子を介して接続する画素電極の一方から駆動信号を供給し、他方に結合容量を設けること特徴とするアクティブマトリックス方式液晶表示体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス方式液晶表示体の構造に関し、とくに液晶のスイッチング素子として薄膜ダイオード素子を有するアクティブマトリックス方式液晶表示体に関する。

【0002】

【従来の技術】 薄膜ダイオード (Thin Film Diode 以下TFDと記載する) 素子を有するアクティブマトリックス方式液晶表示体においては、入力電極から入力する信号は、配線電極をとうり、素子を介し、画素電極に印加する構造をもつのが一般的である。

【0003】 この構成によると配線電極の抵抗値の差により、入力電極に近い画素と遠い画素に電圧差が生じ、液晶表示体の表示ムラの原因となる。

【0004】 そこで、たとえば特開平2-302734号公報に記載されているように、入力電極と配線電極の間に、結合容量を設ける構成が提案されている。

【0005】 すなわち、素子を形成するための誘電体膜を配線電極も含めて同時に形成し、その後、入力電極を形成し、入力電極と結合容量と配線電極が電気的に直列

に配置する。

【0006】 このことによって、配線電極の配線抵抗の差による入力電極からの距離による表示ムラを改善する。

【0007】

【発明が解決しようとする課題】 しかしながら、アクティブマトリックス方式液晶表示においては、配線電極は単数ではありえず、複数の配線電極が存在する。

【0008】 そしてこの配線電極に駆動信号を供給するための入力電極は、外部からの接続のための異方性導電フィルムの最小接続ピッチ寸法に制限されて、配線電極のピッチと同一寸法とは限らず、その配線電極と入力電極との面積がすべて同じということはほとんどない。

【0009】 この結果、上記公報に記載の手段で得られる結合容量は、配線電極毎に変化してしまう。

【0010】 このため、一本の配線電極内の表示ムラは解消されても、配線電極間の表示ムラが出来てしまうという、アクティブマトリックス方式液晶表示体として用いるには致命的な欠点を有している。

【0011】 本発明は、配線電極間の表示ムラを解消し、高品質なアクティブマトリックス方式液晶表示体を提供することを目的とするものである。

【0012】

【課題を解決するための手段】 この目的を達成するために、本発明のアクティブマトリックス方式液晶表示体は、下記記載の構成を採用する。

【0013】 本発明のアクティブマトリックス方式液晶表示体は、基板上に設ける複数の画素電極と、画素電極を駆動するための複数のスイッチング素子に接続する複数の配線電極と、結合容量を介して駆動信号をスイッチング素子に供給する入力電極とを備え、結合容量はそれぞれの結合容量の値がほぼ同じ値であること特徴とする。

【0014】

【作用】 本発明のアクティブマトリックス方式液晶表示体では、入力電極と配線電極の間に設ける結合容量の値を均一化するために、スリットを設けるかあるいはダミ領域を設ける。

【0015】 この結果、入力電極からの距離による電圧差をなくすことができ、表示ムラがなくなる。

【0016】 このことにより、各配線電極間の結合容量の差を抑えることが可能となり、画面全面にわたって表示ムラのない、高品質なアクティブマトリックス方式液晶表示体が可能となる。

【0017】

【実施例】 以下、図面を用いて本発明の実施例におけるアクティブマトリックス方式液晶表示体の構造を説明する。

【0018】 まずははじめに本発明の第1の実施例を説明する。図5は本発明の第1の実施例におけるTFD素子

(3)

3

の構造を示す平面図である。

【0019】T F D 素子の下層電極を構成する第1の金属のタンタル (T a) によって、共通電極4と、配線電極5と、入力電極の裏打ち電極6とを設ける。

【0020】そして、配線電極5 aと配線電極5 bとがほぼ同じ面積になるような位置に、第1の金属のタンタルを形成しない領域であるスリット7を設けている。

【0021】ここで配線電極5は共通電極4を除く、スリットまでの配線電極5の領域をいう。配線電極5 aと配線電極5 bとは、共通電極4で共通接続し、陽極酸化処理のときの電極となり、配線電極5表面に誘電体膜を設ける。

【0022】T F D 素子の上層金属を構成する第2の金属の酸化インジウムスズ (I T O) を用いて、表示用の画素電極10を設ける。

【0023】I T Oからなる画素電極10パターンは、T F D 素子12を除いた配線電極5上にも形成うい、スリット7により分離する配線電極5と入力電極の裏打ち電極6を接続しながら入力電極11を構成する。

【0024】そして、結合容量は第1の電極であるI T Oと、誘電体膜と、結合容量の第2の電極であり、しかもT F D 素子の第1の金属であるタンタルとで結合容量を構成する。

【0025】陽極酸化処理で得られる誘電体膜は、厚さ、質ともに均一性がきわめてよい。このため、結合容量の第2の電極にあたる配線電極5 aと配線電極5 bとの面積を一定にすると、結合容量の第1の電極にあたる入力電極11の面積は異なっていても、結合容量の値は同じになる。

【0026】誘電体膜を形成後、共通電極4をこの共通電極4と配線電極5との境界部で切断した後、入力電極の裏打ち電極6側より給電して、T F D 素子12を駆動する本発明は、入力電極からの距離や、配線電極間の差によらず一定であり、表示ムラのない特性を示す。

【0027】つぎに、図1から図5を用いて、図5に示す構造を得るための製造方法を説明する。

【0028】まず、図1に示すように、透明で絶縁性を有する基板1上に第1の金属2としてタンタル (T a) を200 nmの厚さに形成する。

【0029】このT aの形成は、たとえば基板温度およそ250~350°Cで、全圧1~3×10~3 torrの条件でスパッタリング法により形成する。

【0030】その後、およそ1 μmの厚さのポジ型フォトレジストからなるレジスト3を、回転塗布法によって形成し、露光現像処理を行い、レジスト3をパターンニングする。

【0031】この露光現像処理したレジスト3の平面パターン形状は、図2の平面図に示すように、共通電極4で接続する複数の配線電極5はどの配線電極5をとっても、すべて同じ面積になる位置にスリット7を設けてい

(3)

4

る。

【0032】スリット7によって制御する配線電極5の面積は、結合容量として働くため、T F D 素子との容量比を大きくとるため、その線幅寸法はなるべく広いことが好きましい。

【0033】その後、反応性イオンエッチング(以下R I Eと記載する)法で、第1の金属2をエッチングする。

【0034】ここで用いるR I E法によるエッチング処理は、エッチングガスとして四フッ化炭素 (C F 4) の流量を200~240 s c c m、酸素 (O 2) の流量を10~40 s c c m混合し、4~12×10~2 torrの圧力下で、電力が0.5 W/cm²の条件で行う。

【0035】その後、レジスト3を剥離し、図3に示すように、第1の金属2を、0.01~0.1 wt %のクエン酸浴中で化成処理して、タンタル酸化膜からなる誘電体膜8を形成する。

【0036】誘電体膜8は、共通電極4によって接続する配線電極5の表面にのみ形成し、スリット7で分離している入力電極の裏打ち電極6には、誘電体膜8は形成されない。

【0037】つぎに、図4に示すように、第2の金属9として画素電極も兼ねる酸化インジウムスズ (I T O) を200 nmの厚さで形成する。

【0038】このI T Oの形成は、基板温度150°C以下で、A r ガスと酸素の混合ガスを用い、全圧2~8×10~3 torr、酸素分圧2~3×10~5 torrで反応性スパッタリング法で形成する。

【0039】その後、およそ1 μmの厚さのポジ型フォトレジストからなるレジストを塗布法により形成し、露光現像処理を行いレジストをパターンニングする。

【0040】この露光現像処理したレジストの平面パターン形状は、図5に示すように、画素電極10とT F D 素子12の上部電極を構成する第2の金属パターンと、配線電極5上と、この配線電極5と分離している入力電極の裏打ち電極6をつなぐ入力電極11とのパターンからなっている。

【0041】このレジストを100~170°Cの温度で熱処理した後、エッチング液として塩酸を用いてI T Oからなる第2の金属9をエッチングする。

【0042】このような処理工程により形成するT F D 素子を設けた基板を、通常の液晶表示体を製造する工程である、配向膜塗布工程と、ラビングによる配向処理工程とを行い、さらに同様の処理をした対向基板との張り合わせ工程と、液晶の注入工程と、液晶注入口の封閉工程を経たのち、共通電極を切断して液晶表示体を完成する。

【0043】化成処理によってその表面に誘電体膜8を形成しない領域のタンタルは形成しなくてもよいが、I T O膜からなる入力電極11の裏打ち電極6として入力

(4)

5

電極11の断線不良の低減に寄与し、化成処理により誘電体膜を形成した領域はどの配線電極5も同じ容量をもつコンデンサーとして働き、良好な画質の液晶表示体を得ることができる。

【0044】つぎに本発明の第2の実施例を図7を用いて説明する。図7は、本発明の第2の実施例におけるTFD素子の構成を示す平面図である。

【0045】TFD素子の下層金属を構成する第1の金属であるTaパターンは第1の実施例と同様に、共通電極4と、配線電極5とからなる。しかし第1の実施例のTaパターンを分離するスリットは設けず、誘電体膜は第1の金属のパターン全体に設けている。

【0046】TFD素子12上層金属を構成する第2の金属9であるITOのパターン形状は第1の実施例と同様に、画素電極10とTFD素子12部を除いた配線電極5上と入力電極11上とに設けている。

【0047】ITOのパターン形状は、入力電極11の面積が一定になる位置にスリット7を設けている。

【0048】そして、結合容量は第1の電極であるITOと、誘電体膜と、結合容量の第2の電極であり、しかもTFD素子の第1の金属であるタンタルによって結合容量を構成する。

【0049】つぎに、図6から図7を用いて、図7に示す構造を得るための製造方法を説明する。

【0050】図1から図5を用いて説明した、第1の実施例と同様な方法により、第1の金属2であるTa膜を形成したのち、パターンニングを行う。

【0051】第1の実施例においては、Taパターンの配線電極5の一部にスリットが設け配線電極5を分離していたが、第2の実施例では図6に示すように、第1の金属2は連続したパターンで形成し、化成処理は第1の金属2全体に行い、全面に誘電体膜を形成する。

【0052】その後、第1の実施例と同様の条件で第2の金属9としてITO膜を形成し、ITO膜上にレジストパターンを形成する。

【0053】レジストパターンは、図7に示すように、入力電極11の面積が一定になるような位置にスリット7を設ける。

【0054】本発明の第2の実施例においては入力電極11の領域のみで結合容量を制御されるため、第1の実施例と同様に、TFD素子の容量との比を大きく取るため、できるだけ入力電極11の線幅寸法は広いことが好ましい。

【0055】また、スリットにより分離した配線電極5側のITOからなる第2の金属9は第1の実施例と同様に、配線抵抗の低抵抗化と、断線不良の低減を図ることができる。

【0056】その後は第1の実施例の説明と同様の処理工程を行うことによって、液晶表示体を形成する。

【0057】つぎに本発明の第3の実施例を、図8を用

6

いて説明する。図1から図5を用いて説明した第1の実施例と同様な構造で、配線電極5の面積差の調整とTFD素子12との容量比を大きくとるため、図8に示すように、配線電極5にTFD素子12を介して接続する画素電極10の一方の入力電極11より給電を行う。

【0058】そして入力電極11と反対側の配線電極にダミー領域13を設ける。そしてこのダミー領域13の線幅寸法を太くとり、このダミー領域13に結合容量を設ける。なおその後の製造方法は第1の実施例と同様の処理工程を行えばよく、液晶表示体を形成することができる。

【0059】つぎに本発明の第4の実施例を、図9を用いて説明する。配線電極5の線幅寸法が充分に太く、断線の可能性の低いときには、図6と図7とを用いて説明した第2の実施例と同様な構造を採用して、図9に示すように入力電極部11のみに第2の金属であるITOパターンを設ける。

【0060】この図9に示すような構造とすると、配線電極5上のITOパターンの形成を省略することができ、複雑なパターンの必要がなく、パターンの重ね合わせの精度もゆとりをもたせて液晶表示体を制作することが可能である。

【0061】図10は、本発明のアクティブマトリックス方式の液晶表示体にチップオンガラス(COG)実装構造を適用した例を示す平面図である。

【0062】COG実装構造を用いて、入力電極11と液晶表示体を駆動する半導体チップの端子とを直接に接続を行うと、第10図に示すように、入力電極11の接続部14の位置は半導体チップの端子の位置にあわせる必要があり、実装位置に集中的に配線することが多い。

【0063】このとき、結合容量の第2の電極となる配線電極5は、1本毎に面積が異なることとなる。

【0064】そこで、同じ容量値を得るためにには、第1の実施例から第4の実施例の構造を採用すればよい。この結果、コンパクトで信頼性の高いアクティブマトリックス方式液晶表示体を得ることが可能となる。

【0065】

【発明の効果】以上の説明で明らかなように、本発明のアクティブマトリックス方式の液晶表示体は、入力電極からの距離による電圧差によって生ずる表示ムラと、各配線電極間の結合容量の差による表示ムラとが発生しない。このため非常に良好な表示品質を有する液晶表示体を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す断面図である。

【図2】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す平面図である。

【図3】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す断面図である。

(5)

7

【図4】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す断面図である。

【図5】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す平面図である。

【図6】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す平面図である。

【図7】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す平面図である。

【図8】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す平面図である。

【図9】本発明の実施例におけるアクティブマトリックス方式液晶表示体を示す平面図である。

【図10】本発明の実施例におけるアクティブマトリック

8

ス方式液晶表示体を示す平面図である。

【符号の説明】

2 第1の金属

4 共通電極

5 配線電極

6 裏打ち電極

7 スリット

8 誘電体膜

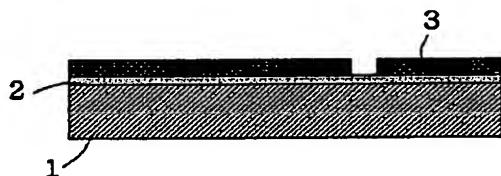
9 第2の金属

11 入力電極

12 TFD素子

13 ダミー領域

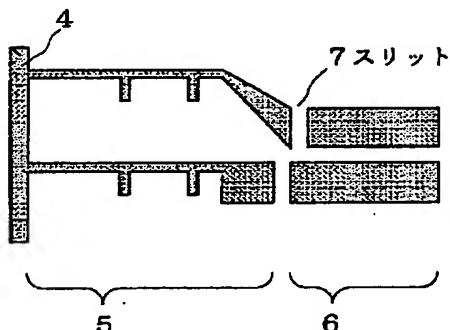
【図1】



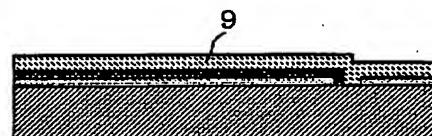
【図3】



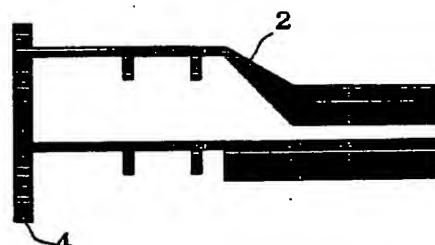
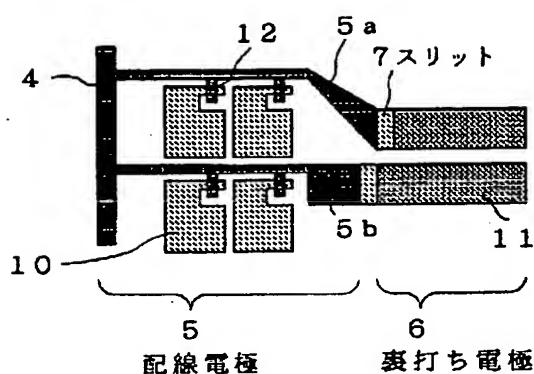
【図2】



【図4】

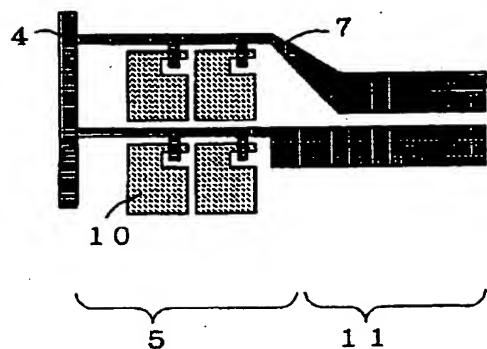


【図5】

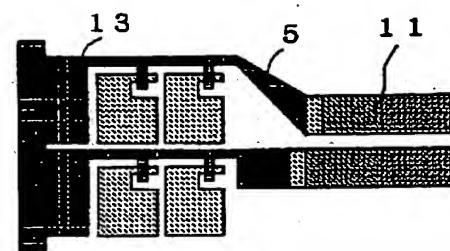


(6)

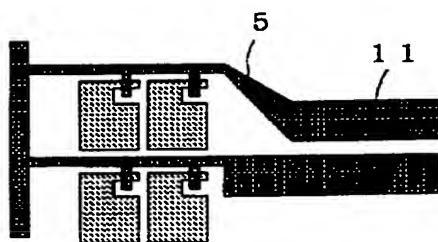
【図7】



【図8】



【図9】



【図10】

